

(1) (A) No. 974485

(45) ISSUED Sep. 16, 1975

(62) CLASS 217-193.1
C.R. CL.

(10) CANADIAN PATENT

(64) DISPLAY TRAY

(70) Steinbock, Fred C., Woodridge, Illinois, U.S.A.

Granted to The Kendall Company (a Delaware corporation),
Walpole, Massachusetts, U.S.A.

(21) APPLICATION No. 140,195
(22) FILED Apr. 13, 1972

(30) PRIORITY DATE Apr. 23, 1971 (136,933) U.S.A.

No. OF CLAIMS 7

974485

The embodiments of the invention in which an exclusive property or privilege is claimed are defined as follows:

1. A display package of cartons comprising:

a tray including,

a bottom,

a pair of spaced end walls extending upwardly from said bottom,

a pair of spaced side walls extending upwardly from the bottom and extending between said end walls, said side walls having an upper edge connecting the end walls, and

a plurality of opposed and inwardly directed retaining tabs springingly connected to said upper side wall edges, said opposed tabs being aligned in pairs along said upper edges; and

a plurality of upright cartons received in said tray in a contiguous relationship longitudinally along the tray relative to the side walls, said cartons having a height greater than the height of said side walls, a width approximately equal to the width of the tabs along said upper side wall edges, and a length approximately equal to the length of the end walls whereby the cartons extend between the side walls, with each of said tab pairs being folded downwardly in the tray to a position intermediate the sides of a carton and said side walls.

2. The tray of claim 1 wherein each of said retaining tabs includes, a base edge connected to said upper side panel edges, an end edge having a length less than the length of said base edge, and a pair of side edges connecting the base and end edges and defining a taper in the tab.

A

974485

3. The tray of claim 2 wherein the lengths of said tab base and end edges are respectively approximately equal to and slightly less than the width of the cartons.

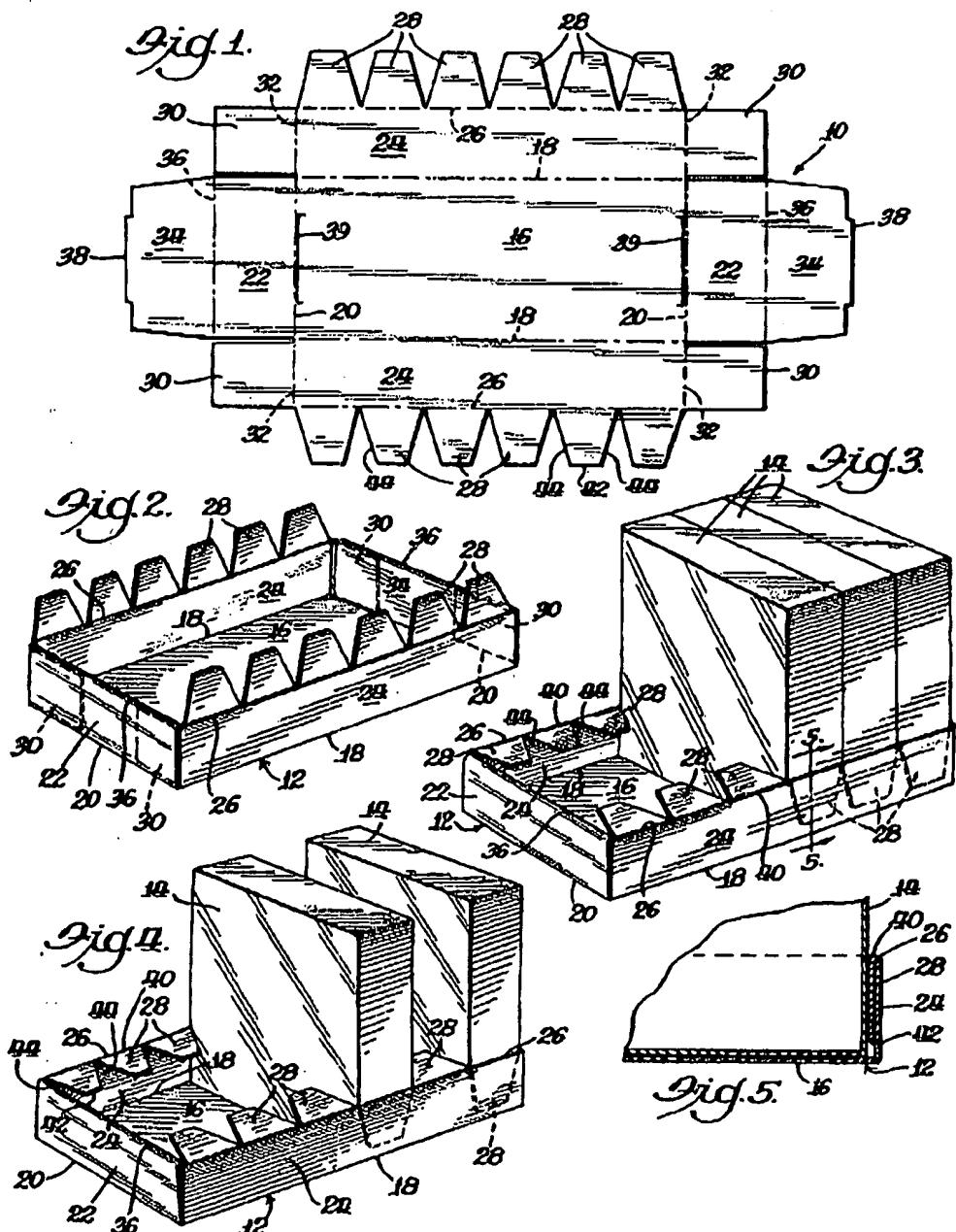
4. The tray of claim 2 wherein said tab end edges are generally aligned with said base edges, and the distance between said base and end edges is less than the height of said side panels.

5. The tray of claim 1 wherein each of said side panels and connected retaining tabs is an integral flexible sheet, with said tabs being connected to the side panels by a fold in the sheet.

6. The display package of claim 1 wherein said tabs have a slight inward taper extending from said upper side wall edges, and have a length shorter than the height of the side walls.

7. The display package of claim 1 wherein the height of the cartons is substantially greater than the height of the side walls.

CANADA



Inventor

FRED C. STEINBOCK

Patent Agents

Futterer, Shough & C.

Procter&Gamble

The Procter & Gamble Company
6090 Center Hill Avenue
Cincinnati, Ohio 45224

IMPORTANT CONFIDENTIALITY NOTICE

The documents accompanying this telecopy transmission contain confidential information belonging to the sender which is legally protected. The information is intended only for the use of the individual or entity named below. If you are not the intended recipient, you are hereby notified that any disclosure, copying, distribution or the taking of any action in reliance on the contents of this telecopied information is strictly prohibited. If you have received this telecopy in error, please immediately notify us by telephone (collect) to arrange for return of the telecopied documents to us.

Transmittal Sheet

Date 1/23/04

PLEASE DELIVER THE FOLLOWING PAGE(S) TO:

KATNY MUELLER

FAX NO: 6. 3004

From: IP Division Library

Phone: (513)634-6414

Fax: (513)634-3452

Number of pages following transmittal sheet: 7

Remarks: _____

Search statement 1

?fam 1996jp-0047741/ap

1 Patent Groups
** SS 1: Results 1

Search statement 2

?prt

1/1 WPAT - (C) Thomson Derwent- image
CPIM Thomson Derwent
AN - 1997-519244 [48]
XP - N1997-432363
TI - Semiconductor IC e.g. gate array for multiform jobbing production -
has driver that drives input/output circuit with transistors which are
regularly integrated in inner core area
DC - U13 U21
PA - (NIHG) YAMAHA CORP
IN - YOKOYAMA M
PN - JP09246503 A 19970919 DW1997-48 H01L-027/118 6p *
AP: 1996JP-0047741 19960305
- US6172547 B1 20010109 DW2001-04 H03K-001/04
AP: 1997US-0811275 19970304
PR - 1996JP-0047741 19960305

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-246503

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl. ^a	識別記号	序内整理番号	P I	技術表示箇所
H 01 L 27/118			H 01 L 21/82	M
21/82			H 03 K 19/173	101
21/8238			19/177	
27/092			H 01 L 21/82	P
H 03 K 19/173	101		27/08	321 J
審査請求 未請求 請求項の数1 OL (全6頁) 最終頁に続く				

(21)出願番号 特願平8-47741

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(22)出願日 平成8年(1996)3月5日

(72)発明者 横山 基生

静岡県浜松市中沢町10番1号 ヤマハ株式
会社内

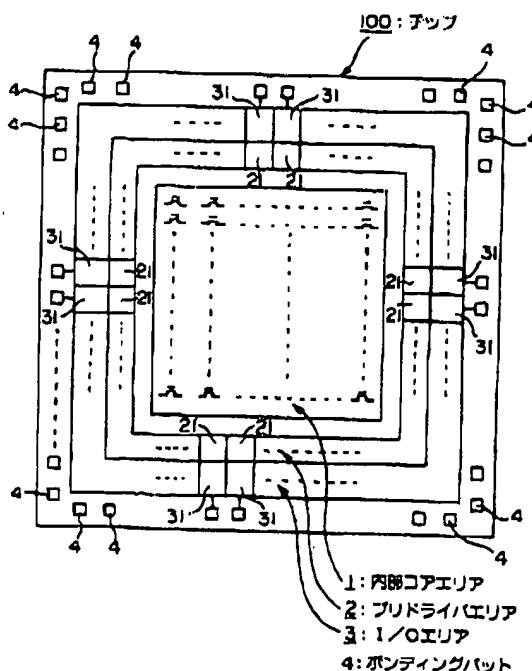
(74)代理人 弁理士 川▲崎▼ 研二 (外1名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 ゲートアレイにおいて、内部コアエリアのトランジスタを犠牲にすることなく、内部コアエリア内の大きな負荷を駆動し得るドライバを構成する。

【解決手段】 ゲートアレイのチップ100の内部コアエリア1の周囲には、入出力回路を構成するためのプリドライバエリア2、I/Oエリア3が設けられている。これらのエリア内でのトランジスタのうち入出力回路を構成するのに使用されていないものを利用し、内部コアエリア1内のクロック信号等のドライバを構成する。



(2)

特開平9-246503

【特許請求の範囲】

【請求項1】トランジスタが規則的に配列されてなる内部コアエリアと、入出力回路を構成するためのトランジスタが配列されてなる周辺エリアとをチップ上に有する半導体集積回路において、前記周辺エリアに属するトランジスタのうち前記入出力回路を構成するのに使用されていないトランジスタにより、前記内部コアエリア内のトランジスタによって構成される回路を駆動するドライバを構成したことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、多品種少量生産に適したゲートアレイ等の半導体集積回路に関する。

【0002】

【従来の技術】半導体集積回路の製造工程は、半導体ウェハにトランジスタ、抵抗等の素子を形成する拡散工程と、これらの各素子間を接続するための配線パターンを形成するメタライズ工程（配線工程）とに大別することができる。ゲートアレイは、このような製造工程のうち拡散工程を製品によらず共通化し、後者の配線工程のみを各個別製品毎に実施するようにしたものであるといえる。すなわち、ゲートアレイの個別製品の製造は、多数のトランジスタが配置された半導体ウェハ（下地ウェハ）を予め製造してストックしておき、個別製品の受注があった場合に、必要な配線パターンを下地ウェハ上に形成することにより、当該個別製品に対応した回路の形成された半導体ウェハを得る、という形態で行われる。

【0003】下地ウェハは、ゲートアレイの製品を構成する多数のチップに区分されている。チップの構成には、製品により様々な特徴が見られるが、多くのゲートアレイのチップは内部コアエリアと周辺エリアとに区分されている。ここで、内部コアエリアは多数のトランジスタが行列状に配置されてなるエリアであり、このエリア内の各トランジスタは個別製品の回路、すなわち、例えば個別製品として復号用LSIを製造する場合には復号回路を構成するために使用される。半導体製造技術の進歩した今日、微細なトランジスタを多数構成することが可能となつたため、数万個のトランジスタからなる内部コアエリアを有するゲートアレイが開発されるに至っている。一方、周辺エリアは内部コアエリアを取り囲むように設けられたエリアであり、この周辺エリア内の各トランジスタは、内部コアエリア内のトランジスタによって構成された回路とゲートアレイ外部の装置との間で信号の授受を行うための入出力回路を構成するために使用される。

【0004】さて、ゲートアレイとして、高速動作の可能なものを得るために、内部コアを構成するトランジスタの駆動力を高める必要があり、そのためには各トランジスタのサイズ（例えばMOSトランジスタの場合には

チャネル幅）を大きくする必要がある。しかし、各トランジスタのサイズを大きくした場合、これに伴って内部コアエリアのサイズが大きくなり、チップ当たりのコストの増大を招く。また、チップのサイズを大きくするのにも製造技術上の限界がある。さらに各トランジスタの駆動力を大きくすると、トランジスタのスイッチング動作によって流れる電流が大きくなるため、消費電力の増加、配線寿命の低下といった問題が生じる。このような事情から、大規模なゲートアレイの殆どのものは、一般的なデジタル回路におけるゲート1個当たりの平均的な負荷を考慮し、このような負荷駆動に耐え得る程度の必要最低限のサイズのトランジスタにより内部コアエリアを構成しているのが現状である。

【0005】一方、周辺エリアのトランジスタにより構成される入出力回路は、外部装置へ信号を送ったり、外部からの信号を内部コアエリア内の各拠点に送ったりする役割を担っているため、大きな駆動力が必要不可欠である。このため、一般的なゲートアレイにおいては、十分な個数またはサイズのトランジスタが周辺エリアに設けられている。

【0006】

【発明が解決しようとする課題】ところで、ゲートアレイにより大規模な回路を構成する場合、ある共通の制御信号により大きな負荷を駆動するような回路構成が生じ得る。例えば、共通のクロック信号により多数のフリップフロップを駆動するような場合である。この場合、クロック信号を伝送する配線系統には、多くのフリップフロップのクロック端子の入力容量（ゲート容量）の他、配線自体の容量を含んだ大きな負荷容量が介在している。

【0007】このような状況において、何等策を講じないとすると、配線系統を伝播するクロック信号等の波形の立ち上り時間、立ち下り時間が極端に長くなったり、あるいは遅延時間が極端に増大したりするため、回路の動作タイミング上のトラブルが生じたり、遅延的性能（例えば動作周波数）の劣化を招くおそれがある。また、回路によっては、各フリップフロップに供給されるクロック信号に大きなスキューが生じてはならないような場合があり、そのような事態の発生を防止する手段が必要になる。そこで、従来、このような大きな負荷を駆動する場合には、内部コアエリア内のトランジスタを複数並列接続して駆動力の大きなドライバを構成し、このドライバを介してクロック信号等を回路内の各拠点に供給するようになっていた。

【0008】しかしながら、一般的にゲートアレイの内部コアエリア内の個々のトランジスタは、上述の通り駆動力が小さいため、駆動力の大きなドライバを得るために多数のトランジスタを使用することが必要となる。このため、元々、多くのトランジスタを必要とする大規模な回路をゲートアレイによって構成するような場合に

(3)

特開平9-246503

は、クロック信号用のドライバを構成するためのトランジスタを用意することができない事態が生じ得るという問題があった。

【0009】この発明は以上説明した事情に鑑みてなされたものであり、内部コアエリアのトランジスタを犠牲にすることなく、内部コアエリア内の大きな負荷を駆動し得る構成の半導体集積回路を提供することを目的としている。

【0010】

【課題を解決するための手段】この発明は、トランジスタが規則的に配列されてなる内部コアエリアと、入出力回路を構成するためのトランジスタが配列されてなる周辺エリアとをチップ上に有する半導体集積回路において、前記周辺エリアに属するトランジスタのうち前記入出力回路を構成するのに使用されていないトランジスタにより、前記内部コアエリア内のトランジスタによって構成される回路を駆動するドライバを構成したことを特徴とする半導体集積回路を要旨とする。

【0011】本発明によれば、入出力回路を構成するのに使用されていない周辺エリアのトランジスタによってドライバを構成するので、内部コアエリアのトランジスタを犠牲にしなくて済む。また、一般的に周辺エリアは、内部コアエリアに比して駆動力の大きなトランジスタが設けられるので、大きな負荷を駆動可能なドライバを構成することができる。

【0012】

【発明の実施の形態】以下、本発明を更に理解しやすくなるため、実施の形態について説明する。かかる実施の形態は、本発明の一態様を示すものであり、この発明を限定するものではなく、本発明の範囲で任意に変更可能である。

【0013】図1はこの発明の一実施形態によるCMOSゲートアレイのチップ100のレイアウトを示すものである。この図に示すように、チップ100の中央には、多数のトランジスタが縦横に配列された内部コアエリア1が形成されている。この内部コアエリア1の周囲をプリドライバエリア2が取り囲んでおり、プリドライバエリア2の周囲をI/Oエリア3が取り囲んでいる。これらのプリドライバエリア2およびI/Oエリア3が上述した周辺エリアに相当する。そして、I/Oエリア3の外側には、ボンディングパッド4、4、…が多数配置されている。

【0014】I/Oエリア3は、このゲートアレイが提供可能な入出力回路の総数に相当する数のブロック31、31、…に区分されている。また、プリドライバエリア2も同様であり、各々ブロック31、31、…に対応したブロック21、21、…に区分されている。

【0015】図2は各1個分のブロック21および31の構成を示したものである。この図に示すように、ブロック31は、ゲートアレイ外部へ信号を出力する出力バ

ッファを構成するためのトランジスタ群311を有している。また、ブロック21は、外部からの入力信号を内部コアエリア1へ伝送する入力バッファを構成するためのトランジスタ群212と、出力バッファを駆動するプリドライバを構成するためのトランジスタ群211を有している。ブロック21および31により如何なる回路を構成するかは、これらのブロック上に配置する配線パターンによることとなる。また、各バッファを構成するトランジスタの個数も配線パターンにより各種選択することが可能であり、配線パターンの変更により駆動力の異なる入力バッファ、出力バッファまたはプリドライバを構成することができる。

【0016】図3はブロック21および31内の全トランジスタ群を使用して入出力共用の回路を構成した例を示している。この図において、211Aはプリドライバ、311Aは出力バッファ、212Aは入力バッファである。また、312Aは出力バッファ311Aを構成する各トランジスタのドレインと基板との間の寄生ダイオードであり、入力バッファ212Aのゲートを静電破壊から保護する保護回路を構成している。このようにブロック21および31内の全トランジスタを使用する場合は例外として、ブロック21および31を入力用または出力用にしか使用しない場合にはトランジスタが余る。また、通常、チップ上のブロック21、21、…およびブロック31、31、…の中には入力用にも出力用にも使用されないブロックが残ることとなる。本実施形態は、このような周辺エリア内の未使用のトランジスタを利用することにより、内部コアエリア1内の大きな負荷を駆動するためのドライバを構成するものである。図4～図6は各々ドライバの構成例を示している。

【0017】まず、図4は、ブロック21および31が出力用として使用されている場合の例を示している。この例では、内部コアエリア1からの信号を外部へ出力するためプリドライバ211Aおよび出力バッファ311Aが構成されているが、入力バッファを構成するためのトランジスタ群212が余っている。そこで、この余ったトランジスタ群212に配線を施すことによってドライバ212Bを構成し、内部コアエリア1からのクロック信号CLKをこのドライバ212Bを介して内部コアエリア1内のフリップフロップ等(図示略)へ供給している。

【0018】次に、図5は、ブロック21および31が入力用として使用されている場合の例を示している。この例では、外部からの入力信号を内部コアエリア1へ伝達するためにプリドライバ212Aが構成されるが、プリドライバおよび出力バッファを構成するためのトランジスタ群211および311が余っている。そこで、余ったトランジスタ群211に配線を施すことにより、内部コアエリア1からのクロック信号CLKを増幅するためのドライバ211Bを構成している。

(4)

特開平9-246503

【0019】そして、図6は、ブロック21および31が入力用としても出力用としても使用されていない場合の例を示している。この例では、トランジスタ群211および311に配線を施すことにより、カスケード接続された2段構成のドライバ211Bおよび311Bを構成し、内部コアエリア1からのクロック信号CLKをこれらのドライバ211Bおよび311Bを順次介して内部コアエリア1内に戻している。この構成によれば、クロック信号CLKを出力バッファ用の駆動力の大きなトランジスタを介して内部コアエリア1内に供給するので、クロック信号CLKを受けるフリップフロップ等が多数ある場合でも十分な速度でこれらを駆動することができる。

【0020】このように本実施形態においては、周辺エリアにおける余ったトランジスタを使用してクロック信号を増幅するドライバを構成するので、内部コアエリアのトランジスタを犠牲にしなくて済む。

【0021】さて、共通のクロック信号により極めて多数のフリップフロップを同時に駆動するような回路構成を考えられる。図7はこのような状況に好適な回路構成を示すものである。この例では、プリドライバエリア2内のトランジスタを利用することにより、内部コアエリア1の左側にドライバ411～417が、右側にドライバ421～427が各々構成されており、向い合った各ドライバの各出力端間を結んで横方向の配線群が形成されている。また、アリドライバエリア2およびI/Oエリア3内のトランジスタを利用することにより、内部コアエリア1の上側にドライバ511～516が、下側にドライバ521～526が各々構成されており、向い合った各ドライバの各出力端間を結んで縦方向の配線群が形成されている。ここで、横方向の配線群と縦方向の配線群は層を異にする配線であるが、各交差部にはスルーホールが形成されている。そして、これらのスルーホールを介して横方向の配線群と縦方向の配線群とが接続され、内部コアエリア1を覆うメッシュ状の配線が形成さ

れている。内部コアエリア1内には、同時に駆動すべき多数のフリップフロップがあるが(図示略)、これらのソリップフロップのクロック端子はこのメッシュ状の配線に接続されている。クロック信号CLKは、I/Oエリア3内のトランジスタにより構成されたドライバ401によって増幅される。そして、このドライバ401の出力信号がドライバ411～417、421～427、511～516、521～526に供給され、これらのドライバにより内部コアエリア1を覆うメッシュ状の配線が駆動され、各フリップフロップが駆動される。

【0022】

【発明の効果】以上説明したように、この発明によれば、周辺エリアにおける余ったトランジスタを使用してドライバを構成するので、内部コアエリアのトランジスタを犠牲にすることなく、内部コアエリア内に存在する大きな負荷を駆動することができるという効果がある。

【図面の簡単な説明】

【図1】この発明の一実施形態によるCMOSゲートアレイのチップレイアウトを示す図である。

【図2】同実施形態における周辺エリアの各ブロックの構成を示す図である。

【図3】同実施形態における入出力回路の構成を示す図である。

【図4】同実施形態におけるドライバの構成例を示す図である。

【図5】同実施形態におけるドライバの構成例を示す図である。

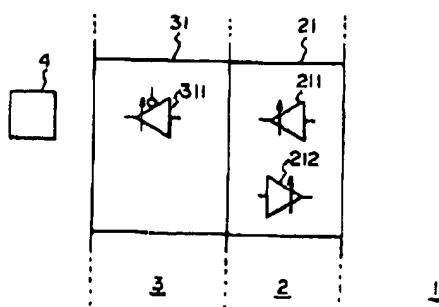
【図6】同実施形態におけるドライバの構成例を示す図である。

【図7】同実施形態におけるクロック信号の配線系の構成例を示す図である。

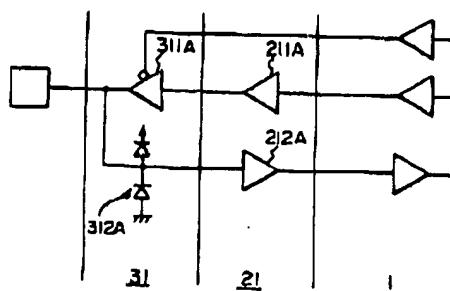
【符号の説明】

100……チップ、1……内部コアエリア、2……プリドライバエリア、3……I/Oエリア。

【図2】



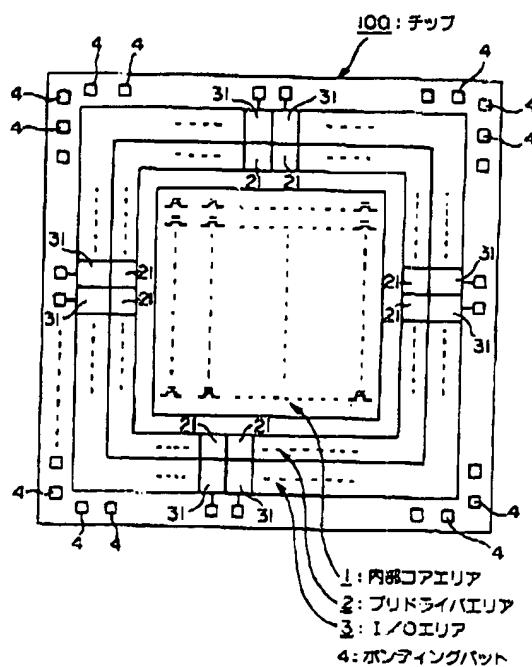
【図3】



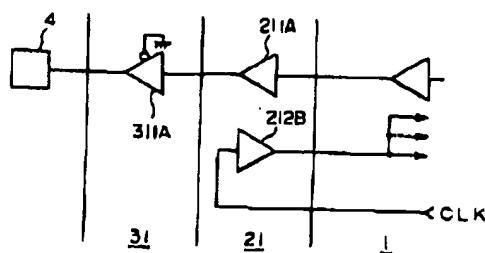
(5)

特開平9-246503

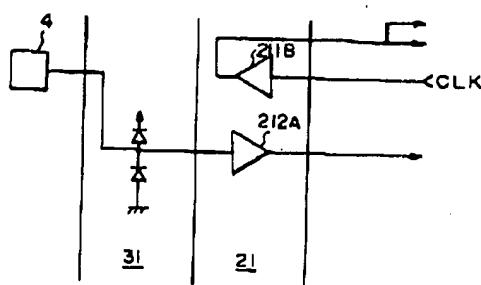
【図1】



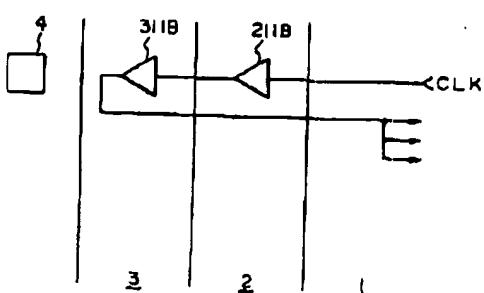
【図4】



【図5】



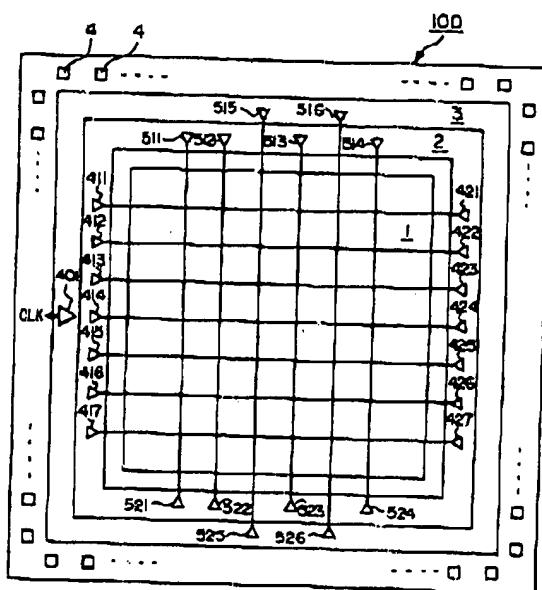
【図6】



(6)

特開平9-246503

【図7】



フロントページの続き

(51) Int. Cl. 4
H 03 K 19/177

識別記号 序内整理番号 F I

技術表示箇所